



#3

PATENT  
0941-0322P

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Ming-Dou KER et al. Conf.: 9752  
Appl. No.: 09/942,785 Group: 2836  
Filed: August 31, 2001 Examiner: UNASSIGNED  
For: CDM ESD PROTECTION DESIGN USING DEEP N-  
WELL STRUCTURE

L E T T E R

Assistant Commissioner for Patents  
Washington, DC 20231

October 17, 2001

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN, R.O.C.	090112894	May 29, 2001

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

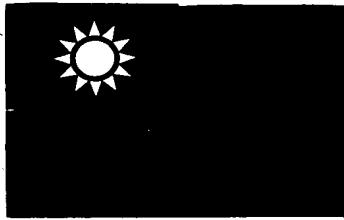
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By Joe McKinney Muncy  
Joe McKinney Muncy, #32,334

P.O. Box 747  
Falls Church, VA 22040-0747  
(703) 205-8000

KM/asc  
0941-0322P

Attachment



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

09/942785  
Attorney Docket N. 0941-0322P  
KER, Ming-han et al.  
August 31, 2001  
Birch, Stewart, Kofasch  
& Birch, LLP  
(703) 205-8000

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 05 月 29 日  
Application Date

申請案號：090112894  
Application No.

申請人：台灣積體電路製造股份有限公司  
Applicant(s)

局長

Director General

陳明邦

發文日期：西元 2001 年 10 月 02 日  
Issue Date

發文字號：09011014718  
Serial No.

申請日期：

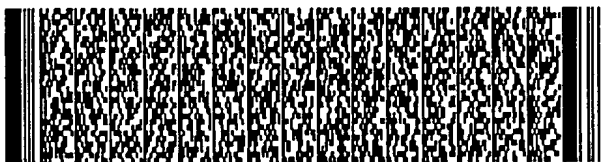
案號：

類別：

(以上各欄由本局填註)

## 發明專利說明書

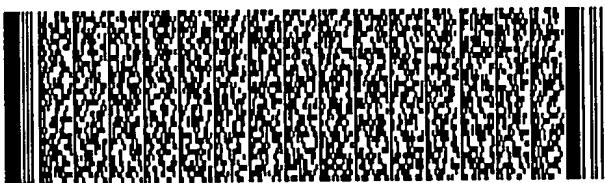
一、 發明名稱	中文	利用深井區結構之元件充電模式靜電放電防護設計
	英文	
二、 發明人	姓名 (中文)	1. 柯明道 2. 張恆祥 3. 王文泰
	姓名 (英文)	1. Ming-Dou Ker 2. Hun-Hsien Chang 3. Wen-Tai Wang
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市東區高峰里8鄰寶山路200巷3號4樓之三 2. 台北縣汐止市大同路二段337號 3. 台北市信義區興隆里3鄰基隆路一段350-21號二樓
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
	代表人 姓名 (英文)	1.



四、中文發明摘要 (發明之名稱：利用深井區結構之元件充電模式靜電放電防護設計)

一種針對CDM之ESD防護電路。該ESD防護電路包含有一ESD箝制電路以及一功能性(functional)元件。該ESD箝制電路耦合於一接合鉀墊(bonding pad)與一第一導電型之基體(substrate)之間。於一正常電源操作時，該ESD箝制電路係為關閉狀態。該功能性元件形成於該基體上，耦合至該接合鉀墊。該功能性元件具有深井區結構。該功能性元件所在之一第一井區以一深井區與基體相隔絕。於該正常電源操作時，該功能性元件負責該積體電路與一外界之間信號的傳遞。於CDM ESD事件時，累積於基體之CDM電荷會透過該ESD箝制電路釋放至該接合鉀墊，進而保護了該功能性元件。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

本發明係有關於一種針對元件充電模式(charged-device mode, CDM)的靜電放電(electrostatic discharge、ESD)防護電路。

一般人常提到的ESD防護電路，大都是指用來防護人體放電模式(human body mode, HBM)或是機器放電模式(machine mode, MM)的靜電放電。基本上，此類HBM或是MM的靜電放電，其靜電放電的電荷是來自於積體電路(integrated circuit, IC)的外界，經由IC的某個腳位(pin)進入IC內，然後經由另一個腳位流出IC。為了防範此類ESD對IC所造成的損傷，因此，ESD防護電路在IC佈局中都繪製於輸出或是輸入鉚墊(bonding pad)旁，就近旁通排放ESD電流。第1圖為一習知的ESD防護電路，用以保護輸入緩衝器(input buffer)12中的元件免於ESD的破壞。ESD防護電路10為一二級式ESD防護電路，具有一第二級ESD防護電路14、一首級ESD防護電路16以及一電阻R。第二級ESD防護電路14主要用以箝制輸入緩衝器12所承受之靜電電壓；首級ESD防護電路16則負責排放大部分的靜電電荷。經由適當的設計，HBM與MM的ESD對輸入緩衝器12的破壞，可以有效地防犯。

ESD除了有HBM與MM兩種模式之外，另有CDM之靜電放電現象。CDM表示靜電電荷是先儲存在浮接的(floating)的積體電路基體(substrate)之中，然後再經由突然的接地之腳位而放電出來。亦即ESD的電荷不是來自IC的外界，卻反而是來自IC內部的基體。譬如說，當IC的腳位在運

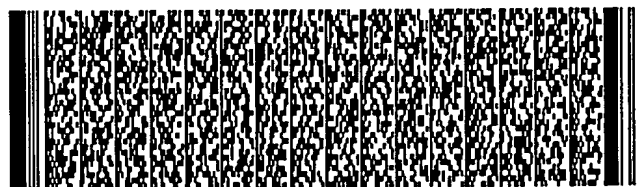
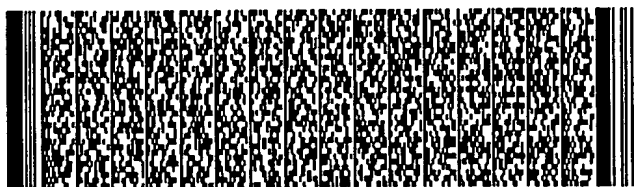


## 五、發明說明 (2)

送的過程中與IC的外界產生摩擦，便會產生靜電電荷累積在IC之中，一旦IC的任何一腳位碰觸到接地的機台時，靜電電荷便會突然的經過該接地之腳位而放電出來。

有關正極性或是負極性靜電電荷累積在浮接的積體電路基體之示意圖分別顯示於第2圖以及第3圖中。由於IC是處於浮接狀態，累積在其中的靜電電荷(如第2圖中的正電荷11與第3圖中的負電荷13)因同性相斥之物理現象而均勻的散佈在IC上以及該IC所在之基體20之中。然而，IC中的元件都只製作於晶片表面約幾微米的厚度而已，例如在0.35微米的CMOS製程技術中，其N型井或P型井22的深度僅僅約2微米，N+擴散層(diffusion)26或P+擴散層24的深度僅約有0.2微米，但是基體(substrate)20的厚度卻約有500~600微米，依晶圓(wafer)厚度而定。因此，大部分的靜電電荷是儲存在IC的基體20中，如第2圖以及第3圖所示。

CDM的ESD電流經常造成輸入緩衝器的閘極氧化層被打穿。由於靜電電荷瞬間自基體流出，在那瞬間因過高的跨壓在輸入緩衝器之閘極閘氧化層上而將其打穿。第2圖以及第3圖中的 $I_{ESD}$ 為CDM之ESD電流的路徑示意圖，此種放電現象在電路上的等效示意圖顯示於第4圖中。雖然連接輸入緩衝器的輸入接合鉀墊18旁已經有ESD防護電路10，但是CDM的ESD事件所造成的損傷仍然容易發生在輸入緩衝器之閘極，造成閘氧化層30被打穿的現象發生。最主要的原因是輸入接合鉀墊18旁的ESD防護電路10來不及導通以排放瞬間的CDM之ESD電流，因為CDM電荷32是累積在IC的基



### 五、發明說明 (3)

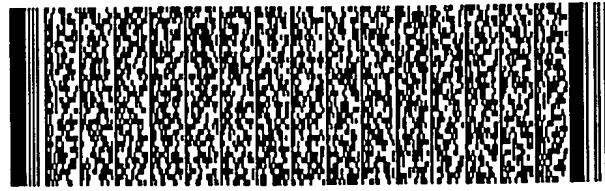
體內部，不是像HBM或是MM的靜電電荷是由外界進入IC內部。即使ESD防護電路可以使輸入埠耐受很高的HBM或MM的ESD電壓，但是其CDM的ESD耐受能力卻不一定高。

隨著對CDM之ESD現象的了解，目前文獻上所提出的解決方案是在輸入緩衝器的閘極旁邊加上一個小尺寸的閘極接地NMOS元件。該小尺寸的閘極接地NMOS元件所連接的接地線( $V_{ss}$ )必須是輸入緩衝器的接地線。為了速度上的要求，小尺寸的閘極接地NMOS元件之通道長度(channel length)要越短越好。此種CDM之ESD防護電路示意圖顯示於第5圖中。其中的Mpla與Mn1b即是小尺寸的閘極接地MOS，用來箝制跨在輸入緩衝器的閘極上過高的電壓。另一種防護設計顯示於第6圖中。利用兩個小尺寸的二極體(Dp與Dn)來箝制在輸入緩衝器之閘極上過高的電壓。所加入的Mpla與Mn1b，或是Dp與Dn，均必須跟隨著輸入緩衝器放在IC的內部，才能有效的防範CDM之ESD對IC的破壞，然而，如此的設計可能會引發對該IC產品對鎖住效應(latchup effect)免疫力下降的副作用。

另一種解決的方案是在佈局的時候，將輸入緩衝器直接放到接合鐸墊旁，就近利用接合鐸墊旁的HBM/MM的ESD防護電路來保護輸入緩衝器之閘極。但是，這會增加接合鐸墊附近佈局的複雜度。

美國專利第5,901,022號也提出了另一種解決方案。

在輸入緩衝器與HBM之ESD防護電路兩者之間加入一個電感(inductor)，來箝制通過輸入緩衝器之閘極的瞬間電





#### 五、發明說明 (4)

流變化。

美國專利第5,901,022號則提供了輸出緩衝器在CDM時的ESD防護電路，用以箝制輸出緩衝器之間氧化層上的跨壓。

本發明提出一種針對CDM之ESD防護電路，適用於一IC。該ESD防護電路包含有一ESD箝制電路以及一功能性(functional)元件。該ESD箝制電路耦合於一接合鉚墊(bonding pad)與一第一導電型之基體(substrate)之間。

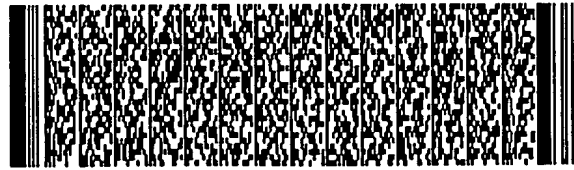
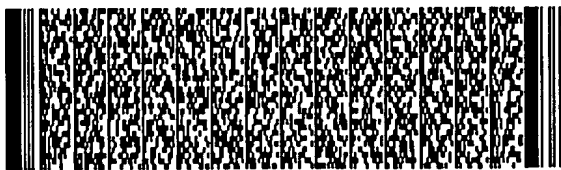
於一正常電源操作時，該ESD箝制電路係為關閉狀態。該功能性元件形成於該基體上，耦合至該接合鉚墊。該功能性元件具有該第一導電型之一第一井區以及一第二導電型之一隔絕區。該第二導電型與該第一導電型相反。且該隔絕區分隔了該第一井區與該基體。於該正常電源操作時，該功能性元件負責該積體電路與一外界之間信號的傳遞。

第一導電型可以是P型或是N型，第二導電型可以是N型或是P型。

該ESD箝制電路可以是一般用於HBM的二級式ESD防護電路。該功能性元件可以是輸入或是輸出緩衝器的一MOS元件。第二導電型的該隔絕區可以利用環繞於第一井區的一第二井區以及形成於第一井區下之一深井區所構成。

利用相反之導電型，該隔絕區將該第一井區與該基體相隔絕。

堆積於該第一井區中的靜電電荷遠比堆積在該基體中

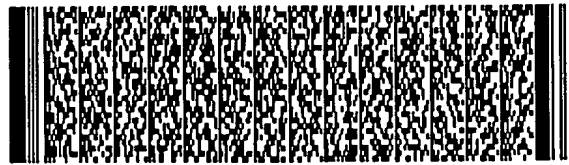


## 五、發明說明 (5)

的靜電電荷少。當CDM之ESD事件發生時，堆積在該基體中大量之靜電電荷被隔絕區所隔離，無法經由功能性元件流到該接合鉀墊，因而透過該ESD箝制電路而流入該接合鉀墊而釋放ESD應力。而堆積於該第一井區中的靜電電荷，因其電荷數目過小，而不會對該功能性元件產生損害。如此，提昇了該功能性元件對CDM之ESD事件的耐受力。

本發明另提出一種元件充電模式ESD防護電路，適用於一積體電路之一輸入埠。該ESD防護電路包含有一ESD箝制電路以及一第二導電型之一MOS元件。該ESD箝制電路，耦合於一接合鉀墊與一第一導電型之基體之間。於一正常電源操作時，該ESD箝制電路係為關閉狀態。該MOS元件係位於該輸入埠之一輸入緩衝器內，形成於該基體上之一第一導電型之一第一井區中。該MOS元件之閘極耦合至該接合鉀墊。該第一井區與該基體之間設有一第二導電型之一隔絕區。該第二導電型與該第一導電型相反。該隔絕區分隔了該第一井區與該基體。於該正常電源操作時，該MOS元件負責將外界之信號傳遞進入該積體電路。

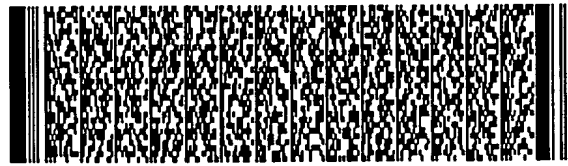
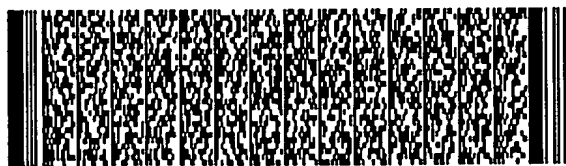
本發明另提出一種元件充電模式ESD防護電路，適用於一積體電路之一輸出埠。該ESD防護電路包含有一ESD箝制電路以及一第二導電型之一MOS元件。該ESD箝制電路耦合於一接合鉀墊與一第一導電型之基體之間。於一正常電源操作時，該ESD箝制電路係為關閉狀態。該MOS元件係位於該輸出埠之一輸出緩衝器內，形成於該基體上之一第一導電型之一第一井區中。該MOS元件之一源/汲極耦合至該



#### 五、發明說明 (6)

接合鉅墊。該第一井區與該基體之間設有一第二導電型之一隔絕區。該第二導電型與該第一導電型相反。該隔絕區分隔了該第一井區與該基體。於該正常電源操作時，該MOS元件負責將該積體電路之信號傳遞至該接合鉅墊。

本發明另提出一種元件充電模式ESD防護電路，適用於一積體電路之一耐高壓之輸出入埠。該ESD防護電路包含有一ESD箝制電路、一第一NMOS(N-type metal-on-semiconductor)以及一輸出緩衝器。該ESD箝制電路，耦合於一接合鉅墊與一P型之基體之間，於一正常電源操作時，該ESD箝制電路係為關閉狀態。該第一NMOS(N-type metal-on-semiconductor)元件形成於該基體上之P型之一第一獨立井區中。該第一獨立井區與該基體之間設有一N型之一第一隔絕區。該第一隔絕區分隔了該第一獨立井區與該基體。該第一NMOS元件具有一閘極耦合至一高電源線，一第一源/汲極耦合至該接合鉅墊，以及一第二源/汲極耦合至一輸入緩衝器(input buffer)。該輸出緩衝器(output driver)包含有相串連之一第二NMOS元件以及一第三NMOS元件，形成於該基體上的P型之一第二獨立井區中。該第二獨立井區與該基體之間設有N型之一第一隔絕區，分隔了該第二獨立井區與該基體。該第二NMOS元件之一閘極耦合至該高電源線，該第二NMOS元件之一汲極耦合至該接合鉅墊，該第二NMOS元件之一源極係作為該第三NMOS元件之一汲極。該第三NMOS元件之一源極係耦合至一輸出入低電源線，該第三NMOS元件之一閘極係耦合至一前



## 五、發明說明 (7)

級輸出緩衝器(pre-output driver)。

本發明之優點在於大量堆積在基體中的靜電電荷，在CDM之ESD事件時，會經由ESD箝制電路釋放到接地的接合鉗墊，因為隔絕區會阻擋ESD電流的經過。而第一井區中靜電電荷，因其數量過少，並不至於對閘氧化層造成損害。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖為一習知的ESD防護電路；

第2圖為正極性靜電電荷累積在浮接的積體電路基體之示意圖；

第3圖為負極性靜電電荷累積在浮接的積體電路基體之示意圖；

第4圖為第2圖或第3圖之放電現象在電路上的等效示意圖；

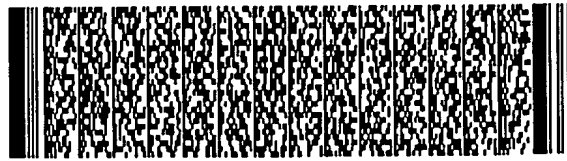
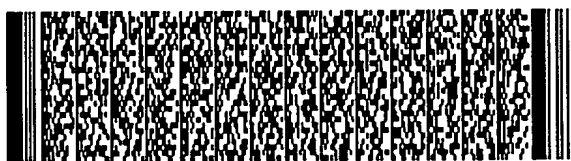
第5圖為一種習知之CDM ESD防護電路示意圖；

第6圖為另一種習知之CDM ESD防護電路示意圖；

第7圖為本發明所使用的具有深N型井結構的NMOS元件之剖面圖以及其代表符號；

第8圖為依據本發明一專為輸入埠使用之CDM ESD防護電路示意圖；

第9圖為依據本發明一專為輸出埠使用之CDM ESD防護



五、發明說明 (8)

電路示意圖；

第10圖為第8圖或第9圖中之Mn6與Mn7，兩個NMOS的剖面圖圖；

第11圖表示堆積於第10圖中的CDM電荷以及其放電路徑示意圖；

第12圖顯示了第8圖之輸入埠的ESD防護電路以及其於CDM ESD電流的路徑；

第13圖顯示了第9圖之輸出埠的ESD防護電路以及其於CDM ESD電流的路徑；

第14圖為一應用本發明之3伏特/耐受5伏特的輸出入電路；以及

第15圖為本發明的設計概念示意圖。

符號說明：

10、51~ESD防護電路；

11~正電荷；

12、52、76~輸入緩衝器；

13~負電荷；

14~第二級ESD防護電路；

16~首級ESD防護電路；

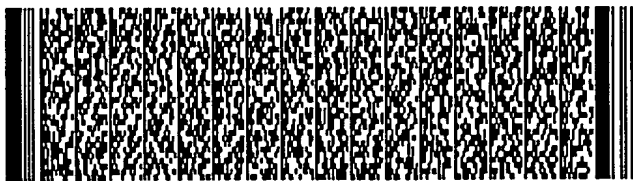
18、50~輸入接合鉀墊；

20、34、81、82~P型基體；

22、80~P型井；

26、38、40、41~N+擴散層；

24~P+擴散層；

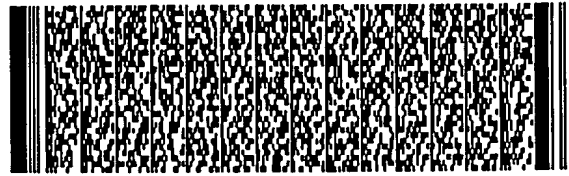


#### 五、發明說明 (9)

- 30、84~獨立P型井；
- 32、62、66、85~CDM電荷；
- 36、86~N型井；
- 42、88~深N型井；
- 54、58、74、77~ESD箝制電路；
- 56、70~輸出緩衝器；
- 60~輸出接合鐸墊；
- 71~前級輸出緩衝器；
- 72~輸出入接合鐸墊；
- 75~功能性元件；
- 83~接合鐸墊。

#### 實施例：

隨著深次微米CMOS(complementary metal oxide semiconductor)技術的進步，IC產品多半具有高積集度的電路，譬如說內嵌式(embedded)動態隨機記憶體(DRAM)或是混合模式(mixed-mode)電路等。為了使內嵌式DRAM以及混合模式電路具有良好的表現，或是降低由基體耦合產生的雜訊，因此，深N型井(deep N-well)結構已經常常加入CMOS製程中，以達到電路之需求。內嵌式DRAM之記憶胞(memory cell)就經常放置在一個獨立P型井中，獨立P型井與共通P型基體之間以一深N型井隔離。P型基體一般的使用是直接耦接到地(0伏特)。因為多加上了深N型井的結構，所以其中獨立P型井可以施加低於0伏特的負偏壓，藉以降低記憶胞中開關MOS電晶體的漏電流。在混合模式電



## 五、發明說明 (10)

路中，類比電路中需要高解析度的部分電路非常容易受到數位電路所產生之雜訊的影響。所以，類比電路中的NMOS往往也是放置在獨立之P型井中，藉由其下的深N型井，把由共通P型基體傳導來的雜訊排除在外。因此，深N型井結構已經是深次微米製程中所廣為採用的技術了。

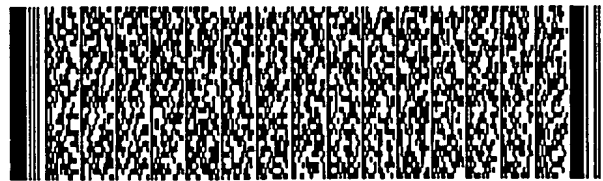
利用多增加的深N型井結構，本發明提出了一種ESD防護設計，以克服CDM之ESD事件對IC所造成可能造成的損傷。

第7圖為本發明所使用的具有深N型井結構的NMOS元件之剖面圖以及其代表符號。第7圖右側之符號將會在之後的ESD防護電路圖中使用。在第7圖中，獨立P型井30與P型基體34相隔絕。P型基體34一般是耦合至VSS。NMOS所在的獨立P型井30被一平常的N型井36所環繞，其下有一深N型井42。N型井36與深N型井42透過N+擴散區38偏壓在VDD。

依照電路設計的需求，獨立P型井30耦合至一固定偏壓。在混合模式電路中，獨立P型井30耦合至一比較沒有雜訊的VSS；在內嵌式DRAM之記憶體陣列中，獨立P型井30耦合至一負電壓。NMOS分別以一N+擴散層40以及一N+擴散層41作為汲極與源極。

利用第7圖中的深N型井結構，本發明所提出，專為輸入埠使用之CDM ESD防護電路呈現於第8圖中，專為輸出埠使用之CDM ESD防護電路則呈現於第9圖中。

在第8圖中，輸入緩衝器52以Mp6與Mn6構成，兩者的閘極均耦合至輸入接合鉀墊50。Mn7與Mp7作為輸入緩衝器



## 五、發明說明 (11)

52 之閘極的ESD箝制電路54。作為信號傳遞的Mn6具有深N型井結構，而CDM ESD箝制電路54中的Mn7則沒有深N型井結構。換言之，Mn6的P型井是與P型基體相隔絕的，而Mn7的P型井區是直接連接到P型基體。內部VSS電源線(VSS<sub>internal</sub>)與輸出入VSS電源線(VSS<sub>I/O</sub>)之間連接有數個二極體，用以提供CDM ESD事件時的放電路徑。如同第4圖的說明描述，CDM ESD事件最容易對輸入緩衝器52的閘極造成損傷。但是，在第8圖中，輸入緩衝器52的Mn6是放置在一個獨立的P型井內，而且與共通的P型基體相隔絕。因為獨立之P型井與深N型井之間的PN接面或是深N型井與共通之P型基體之間的PN接面都具有非常高的崩潰電壓，因此，由P型基體內所存放的CDM電荷便很難透過Mn6而釋放。相對的，Mn7沒有深N型井結構，其P型井直接連接到共通的P型基體。Mn7具有較低的崩潰電壓(汲極與基體之間的PN接面)，因此，儲存在P型基體的CDM電荷便透過比較容易導通的Mn7而釋放到CDM ESD事件時接地的輸入接合鉗墊50。所以，作為信號輸入之輸入緩衝器52的閘極便不會受到CDM ESD損害。

在第9圖中，Mn6為輸出緩衝器56之一NMOS，具有深N型井結構，但是，輸出埠之ESD箝制電路58中的Mn7並沒有深N型井結構。第9圖中的Mn6與P型基體之間存在有一獨立之P型井以及一深N型井，因此，其中的二個PN接面會使Mn6之汲極到P型基體之間的崩潰電壓非常的高。相對的，Mn7並沒有深N型井結構，其汲極與共通之P型基體之間僅

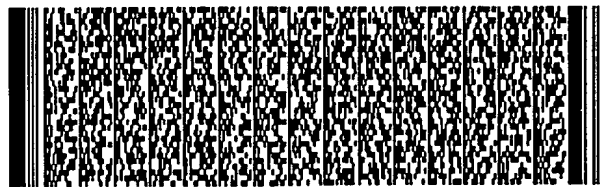




## 五、發明說明 (12)

僅有一個PN接面，而該PN接面之崩潰電壓也是相當的低。

所以，兩相比較後，存放在P型基體的CDM電荷會經由Mn7的汲極釋放到接地的輸出接合鉀墊60。而ESD箝制電路58中的Mn7通常在佈局時都繪製具有大元件尺寸，一般具有200~300微米的通道寬度(channel width)，以承受所需要的HBM/MM ESD應力，也可承受CDM ESD應力。利用深N型井的結構，作為輸出信號的功能性元件Mn6便受到ESD箝制電路58中之Mn7的保護，不會受到CDM ESD應力的破壞。在第8圖與第9圖中，用於輸入緩衝器或是輸出緩衝器之功能性NMOS Mn6與ESD箝制電路中的Mn7，兩個NMOS的剖面圖顯示於第10圖中。Mn7設置在一個P型井80中，而P型井80直接連接到共通之P型基體82。Mn6設置在一個獨立的p型井84中，獨立的p型井84以環繞的一N型井86以及置於下方之一深N型井88與共通之P型基體82相隔絕。假使儲存在P型基體82的CDM電荷要從Mn6放電，其放電路徑依序為P型基體82、深N型井88、獨立P型井84、Mn6元件。P型基體82與深N型井88之間的PN接面、或深N型井88與獨立之P型井84之間的PN接面具有一相當高的崩潰電壓，一般在深次微米CMOS製程時，如此的PN接面之崩潰電壓大約20~40伏特。假使儲存在P型基體82的CDM電荷要從Mn7放電，其放電路徑依序為P型基體82、P型井80、Mn7元件。作為Mn7的汲極之N+擴散層90與P型井80之間的PN接面具有一相對低的崩潰電壓。在深次微米CMOS製程時，該崩潰電壓大約為8~15伏特。因此，兩條放電路徑相比較之後，CDM電荷將

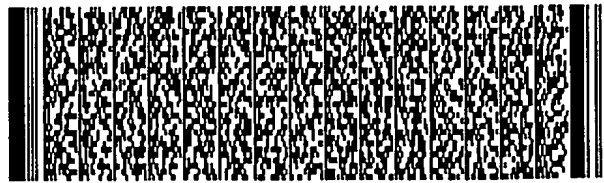
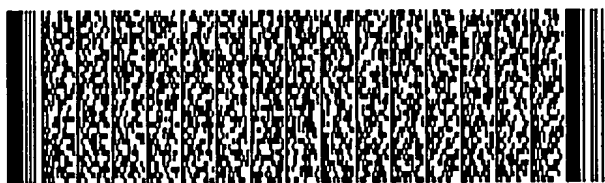


## 五、發明說明 (13)

會由ESD箝制電路中的Mn7放電，而不會從功能性之Mn6放電。第11圖表示堆積於第10圖中的CDM電荷以及其放電路徑示意圖。其中的箭頭表示CDM電荷62的流動路徑。當N+擴散層90與P型井80之間的PN接面崩潰後，觸發寄生在Mn7通道下寄生的npn雙接面電晶體，進而釋放CDM ESD應力。

雖然獨立的P型井84中也有些許的CDM電荷62，但是，獨立P型井84的面積遠比P型基體82的面積小的多，獨立P型井84的厚度(~2微米)又遠比P型基體82的厚度(500~600微米)少的多，因此，CDM電荷存62放在獨立P型井84中的量會相當的少。如此少量的CDM電荷62就算由功能性之Mn6釋放，也不會對Mn6產生損傷。利用深N型井的結構，主要的CDM電荷還是存放在P型基體82，由ESD箝制電路中的Mn7釋放到接地的接合鉀墊64，如第11圖所示。

第12圖顯示了第8圖之輸入埠的ESD防護電路以及其於CDM ESD電流的路徑。在第12圖中，CDM電荷66可以藉由ESD箝制電路54中的Mn7，或是藉由HBM/MM的ESD防護電路51而釋放到接地的輸入接合鉀墊50。作為輸入緩衝器52中之一元件的Mn6便得以受保護。如同第12圖中的虛線所示，部分的CDM電荷可以順向流經連接在內部Vss電源線與輸出入Vss電源線之間的二極體(D1、D2a、D2b)，然後釋放到接地的輸入接合鉀墊50。內部Vss電源線與輸出入Vss電源線之間的二極體(D1、D2a、D2b)提供了另一條放電路徑，因此，提高了輸入埠的CDM ESD耐受力。內部Vss電源線與輸出入Vss電源線之間的二極體串接數目可以依照電

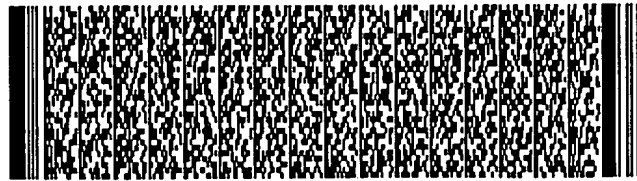


#### 五、發明說明 (14)

路需求而不同，並非限定於如第12圖中的一個或是兩個。

第13圖顯示了第9圖之輸出埠的ESD防護電路以及其內之CDM ESD電流的路徑。由於作為輸出緩衝器56之一的Mn6具有深N型井結構，所以P型基體中之CDM電荷66便透過ESD箝制電路58中的Mn7而釋放到接地的輸出接合鉚墊60。作為輸出緩衝器56中之一元件的Mn6便得以受保護，不受CDM ESD事件的損害。

本發明也可應用於耐受高電壓的輸出入電路。第14圖為一應用本發明之3伏特/耐受5伏特的輸出入電路。輸出緩衝器70之PMOS Mp6設置在一個自我偏壓(self-biased)的N型井(未顯示)中，自我偏壓N型井並非直接連接到VDD(3.3伏特)。為了避免外界近來的5伏特的電壓對於輸出緩衝器70的NMOS之閘極產生過高的應力，輸出緩衝器70中的NMOS部分以Mn6a與Mn6b堆疊的架構而構成，如第14圖所示。Mn6a的閘極偏壓在VDD(3.3V)，而Mn6b的閘極受前級輸出緩衝器71的控制。如此，當外界的信號介於0至5伏特時，可以保證Mn6a與Mn6b的閘氧化層之跨壓不會超過3.3伏特，以避免高電壓應力下所造成的可靠度問題。Mn6b之源極接到輸出入VSS電源線。為了防護HMB/MM ESD事件可能對IC造成的損傷，所以輸出入接合鉚墊72附近，輸出入VSS電源線與輸出入接合鉚墊72之間設有一個ESD箝制電路74。一樣的，ESD箝制電路74也具有堆疊的架構，以防止閘氧化層之跨壓過高的問題。輸入緩衝器76到輸出入接合鉚墊72之間串接有一個NMOS Mn8，其閘極固定偏壓在VDD



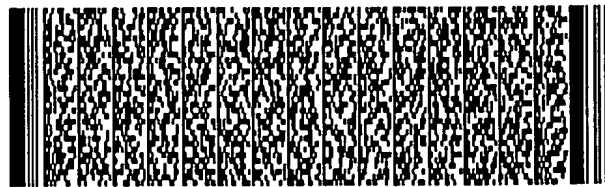
## 五、發明說明 (15)

(3.3 伏特)，用以箝制輸入緩衝器76所接收到的電壓。當外界輸入信號之電壓為5伏特時，輸入緩衝器之輸入端(等同於MOS之閘極)上電壓僅會與VDD(3.3V)相同，因此，不會有過高電壓而造成之可靠度的問題。

為了提昇如此複雜之3伏特/耐受5伏特的輸出入電路對於CDM ESD應力的耐受力。深N型井結構便加在電路中功能性元件上，以隔絕開功能性元件之P型井與共通之P型基體。所謂功能性元件是指著有負責電子信號傳遞的元件而言，譬如輸出緩衝器中的NMOS或是輸入緩衝器中的NMOS。

第14圖同時也顯示了本發明在3伏特/耐受5伏特的輸出入電路上之應用。Mn6a與Mn6b所在的P型井被一N型井所環繞，且其下有一深N型井，與共通的P型基體相隔絕，所以為一獨立P型井。一樣的，Mn8所在的P型井也是一獨立P型井。獨立P型井之下的深N型井都偏壓在VDD(3.3V)。而ESD箝制電路74製作於輸出入接合鐳墊72附近，直接形成於P型基體上，沒有深N型井結構。如同先前的解釋，當CDM ESD事件發生時，CDM電荷將會透過Mn7a釋放到接地的輸出入接合鐳墊72，不會對功能性元件，如Mn6a、Mn6b、Mn8等，造成損害。

第15圖為本發明的設計概念示意圖。第15圖中，深N型井結構是用來環繞功能性元件75，其可能在輸入緩衝器或是輸出緩衝器中，在正常操作時是負責信號傳輸的工作。至於ESD箝制電路77，其在正常操作時是關閉狀態，而ESD事件時是比較容易開啟的，則沒有深N型井結構。因



##### 五、發明說明 (16)

為電流路徑之崩潰電壓不同，存放在P型基體81中的CDM電荷85便會經過ESD箝制電路77釋放到接地的接合鉀墊83，而不會通過功能性元件75。如此，使功能性元件75免於受到CDM ESD事件的損害。至於HBM/HH之ESD事件時，IC也能夠藉由ESD箝制電路77獲得適當的保護。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 六、申請專利範圍

1. 一種元件充電模式(charged-device mode、CDM)靜電放電(electrostatic discharge、ESD)防護電路，適用於一積體電路，包含有：

一ESD箝制電路，耦合於一接合鉀墊(bonding pad)與一第一導電型之基體(substrate)之間，於一正常電源操作時，該ESD箝制電路係為關閉狀態；以及

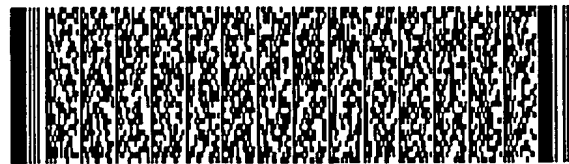
一功能性(functional)元件，形成於該基體上，耦合至該接合鉀墊，該功能性元件具有該第一導電型之一第一井區以及一第二導電型之一隔絕區，該第二導電型與該第一導電型相反，且該隔絕區分隔了該第一井區與該基體，於該正常電源操作時，該功能性元件負責該積體電路與一外界之間信號的傳遞。

2. 如專利申請範圍第1項之元件充電模式ESD防護電路，其中，該隔絕區係以環繞該第一井區之一第二井區以及設於該第一井區之下之一深井區所構成。

3. 如專利申請範圍第1項之元件充電模式ESD防護電路，其中，該隔絕區係耦合至一第一電源線，該第一井區係耦合至一第二電源線。

4. 如專利申請範圍第1項之元件充電模式ESD防護電路，其中，該功能性元件包含有該第二導電型之一MOS metal-on-semiconductor)元件形成於該第一井區之中。

5. 如專利申請範圍第1項之元件充電模式ESD防護電路，其中，該ESD箝制電路包含有一MOS二極體，具有二端，分別耦合至該接合鉀墊與該基體。



## 六、申請專利範圍

6. 如專利申請範圍第1項之元件充電模式ESD防護電路，其中，該ESD箝制電路係為一二級式ESD防護電路，具有一首級ESD防護電路，耦接於該接合鉀墊與該基體之間，一第二級ESD防護電路，耦接於該功能性元件與該基體之間，以及一電阻，耦接於該功能性元件與該接合鉀墊之間。

7. 如專利申請範圍第1項之元件充電模式ESD防護電路，其中，該第一導電型係為N型，該第二導電型係為P型。

8. 如專利申請範圍第1項之元件充電模式ESD防護電路，其中，該第一導電型係為P型，該第二導電型係為N型。

9. 一種元件充電模式ESD防護電路，適用於一積體電路之一輸入埠，包含有：

一ESD箝制電路，耦合於一接合鉀墊與一第一導電型之基體之間，於一正常電源操作時，該ESD箝制電路係為關閉狀態；以及

一第二導電型之一MOS元件，形成於該基體上之一第一導電型之一第一井區中，耦合至該接合鉀墊，該第一井區與該基體之間設有一第二導電型之一隔絕區，該第二導電型與該第一導電型相反，且該隔絕區分隔了該第一井區與該基體，於該正常電源操作時，該MOS元件負責將外界之信號傳遞進入該積體電路。

10. 如專利申請範圍第9項之元件充電模式ESD防護電路，其中，該MOS元件之一閘極耦合至該接合鉀墊。

11. 如專利申請範圍第9項之元件充電模式ESD防護電



## 六、申請專利範圍

路，其中，該MOS元件之一源極耦合至一內部電源線。

12. 如專利申請範圍第11項之元件充電模式ESD防護電路，其中，該元件充電模式ESD防護電路另包含有一輸入端ESD防護電路，耦合於該MOS元件之該閘極與該內部電源線之間。

13. 如專利申請範圍第11項之元件充電模式ESD防護電路，其中，該輸入端ESD防護電路係為一閘極接地(gate-grounded)之MOS元件。

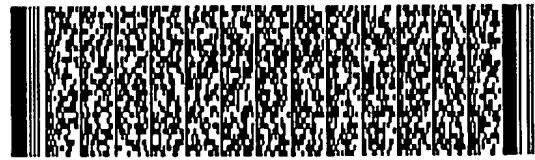
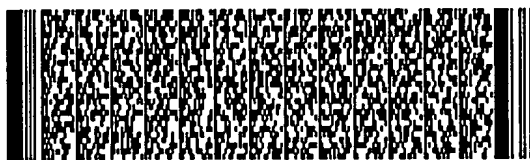
14. 如專利申請範圍第11項之元件充電模式ESD防護電路，其中，該第一井區係耦合至該內部電源線。

15. 一種元件充電模式ESD防護電路，適用於一積體電路之一輸出埠，包含有：

一ESD箝制電路，耦合於一接合鉀墊與一第一導電型之基體之間，於一正常電源操作時，該ESD箝制電路係為關閉狀態；以及

一第二導電型之一MOS元件，形成於該基體上之一第一導電型之一第一井區中，耦合至該接合鉀墊，該第一井區與該基體之間設有一第二導電型之一隔絕區，該第二導電型與該第一導電型相反，且該隔絕區分隔了該第一井區與該基體，於該正常電源操作時，該MOS元件負責將該積體電路之信號傳遞至該接合鉀墊。

16. 如專利申請範圍第15項之元件充電模式ESD防護電路，其中，該MOS元件之一汲極耦合至該接合鉀墊，該MOS元件之一源極與該第一井區係耦合至一輸出入電源線。





#### 六、申請專利範圍

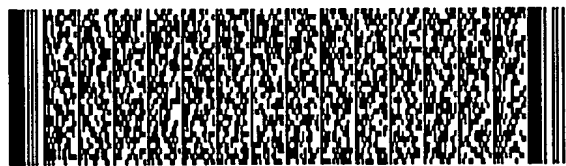
17. 如專利申請範圍第15項之元件充電模式ESD防護電路，其中該輸出入電源線與一內部電源線之間設有數個串接之二極體。

18. 一種元件充電模式ESD防護電路，適用於一積體電路之一耐高壓之輸出入埠，包含有：

一ESD箝制電路，耦合於一接合鉀墊與一P型之基體之間，於一正常電源操作時，該ESD箝制電路係為關閉狀態；

一第一NMOS(N-type metal-on-semiconductor)元件，形成於該基體上之P型之一第一獨立井區中，該第一獨立井區與該基體之間設有一N型之一第一隔絕區，且該第一隔絕區分隔了該第一獨立井區與該基體，該第一NMOS元件具有一閘極耦合至一高電源線，一第一源/汲極耦合至該接合鉀墊，以及一第二源/汲極耦合至一輸入緩衝器(input buffer)；以及

一輸出緩衝器(output driver)，包含有相串連之一第二NMOS元件以及一第三NMOS元件，形成於該基體上的P型之一第二獨立井區中，該第二獨立井區與該基體之間設有一N型之一第一隔絕區，且該第二隔絕區分隔了該第二獨立井區與該基體，該第二NMOS元件之一閘極耦合至該高電源線，該第二NMOS元件之一汲極耦合至該接合鉀墊，該第二NMOS元件之一源極係作為該第三NMOS元件之一汲極，該第三NMOS元件之一源極係耦合至一輸出入低電源線，該第三NMOS元件之一閘極係耦合至一前級輸出緩衝器(pre-



六、申請專利範圍

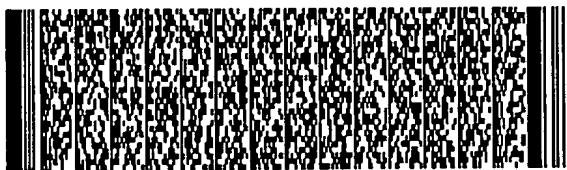
output driver)。

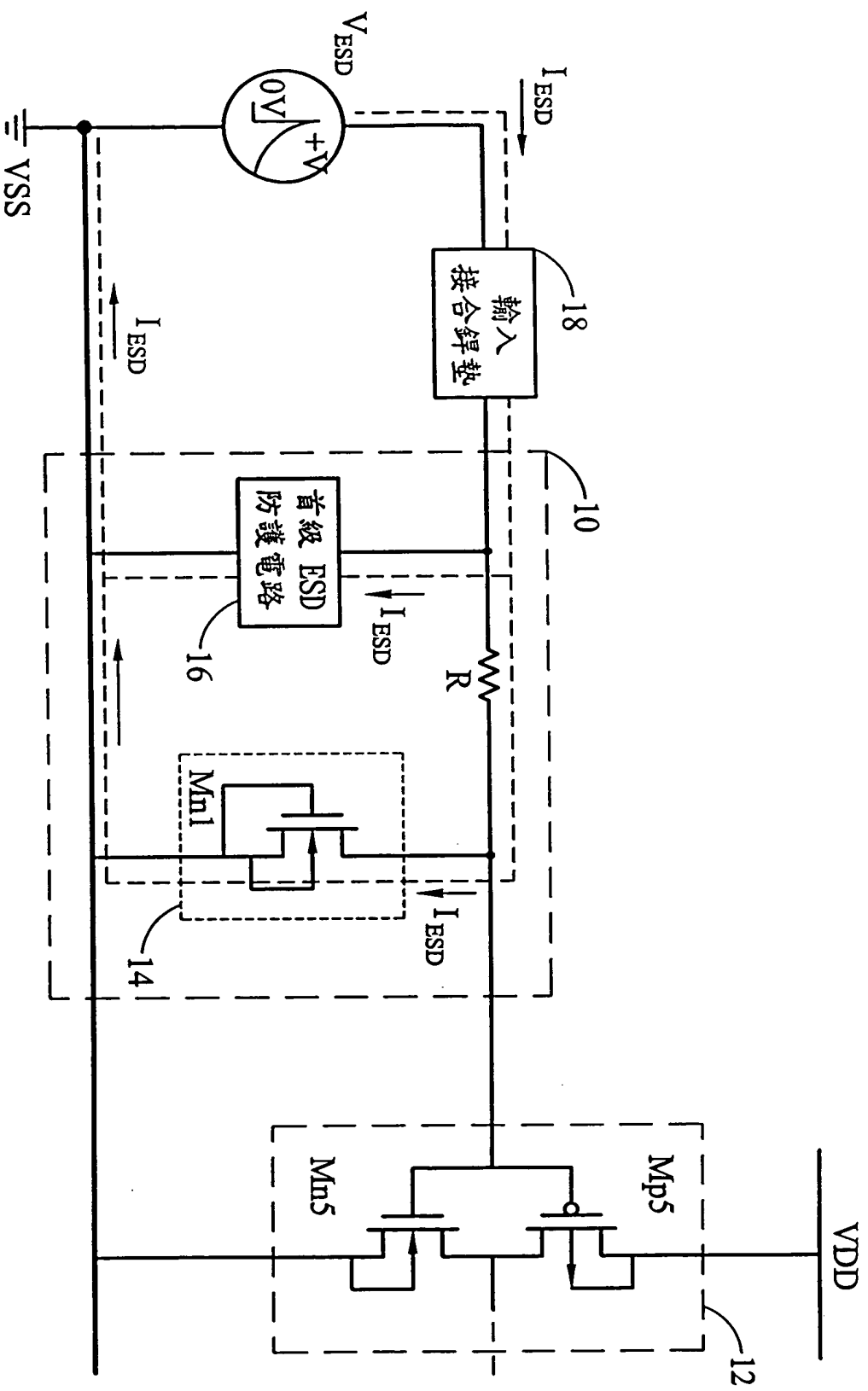
19. 如專利申請範圍第18項之元件充電模式ESD防護電路，其中，該第一獨立井區係耦合至一內部低電源線，該第二獨立井區係耦合至該輸出入低電源線。

20. 如專利申請範圍第19項之元件充電模式ESD防護電路，其中該內部低電源線與該輸出入低電源線之間串接有複數二極體。

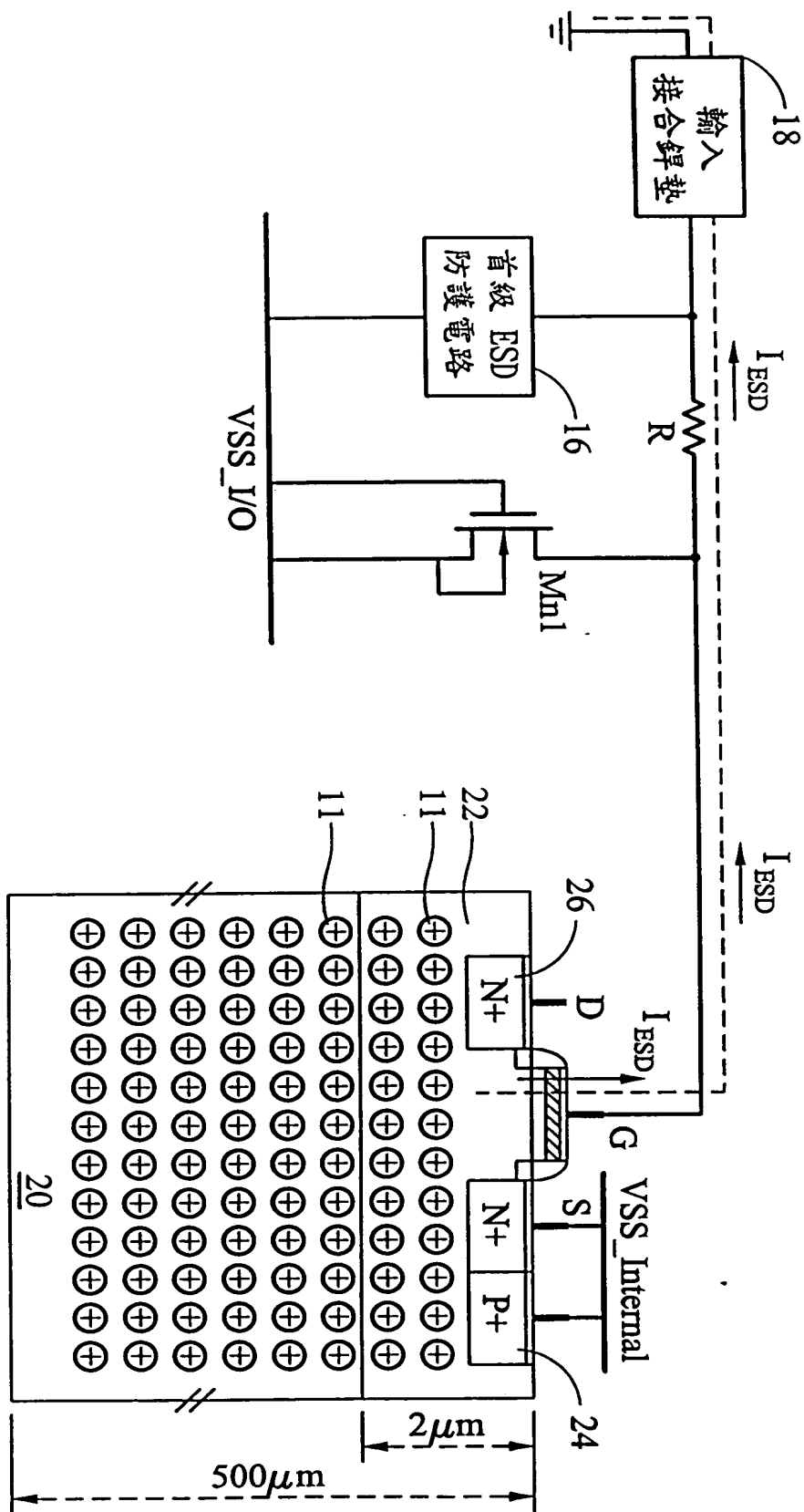
21. 如專利申請範圍第18項之元件充電模式ESD防護電路，其中，該ESD箝制電路包含有一第四NMOS元件以及一第五NMOS元件，串接於該接合鉚墊與一輸出入電源線之間，該第四NMOS元件具有一閘極，耦合至該高電源線，該第五NMOS元件具有一閘極，耦合至該輸出入電源線。

22. 如專利申請範圍第18項之元件充電模式ESD防護電路，其中，該第一NMOS元件與該接合鉚墊之間串接有一ESD防護電阻。

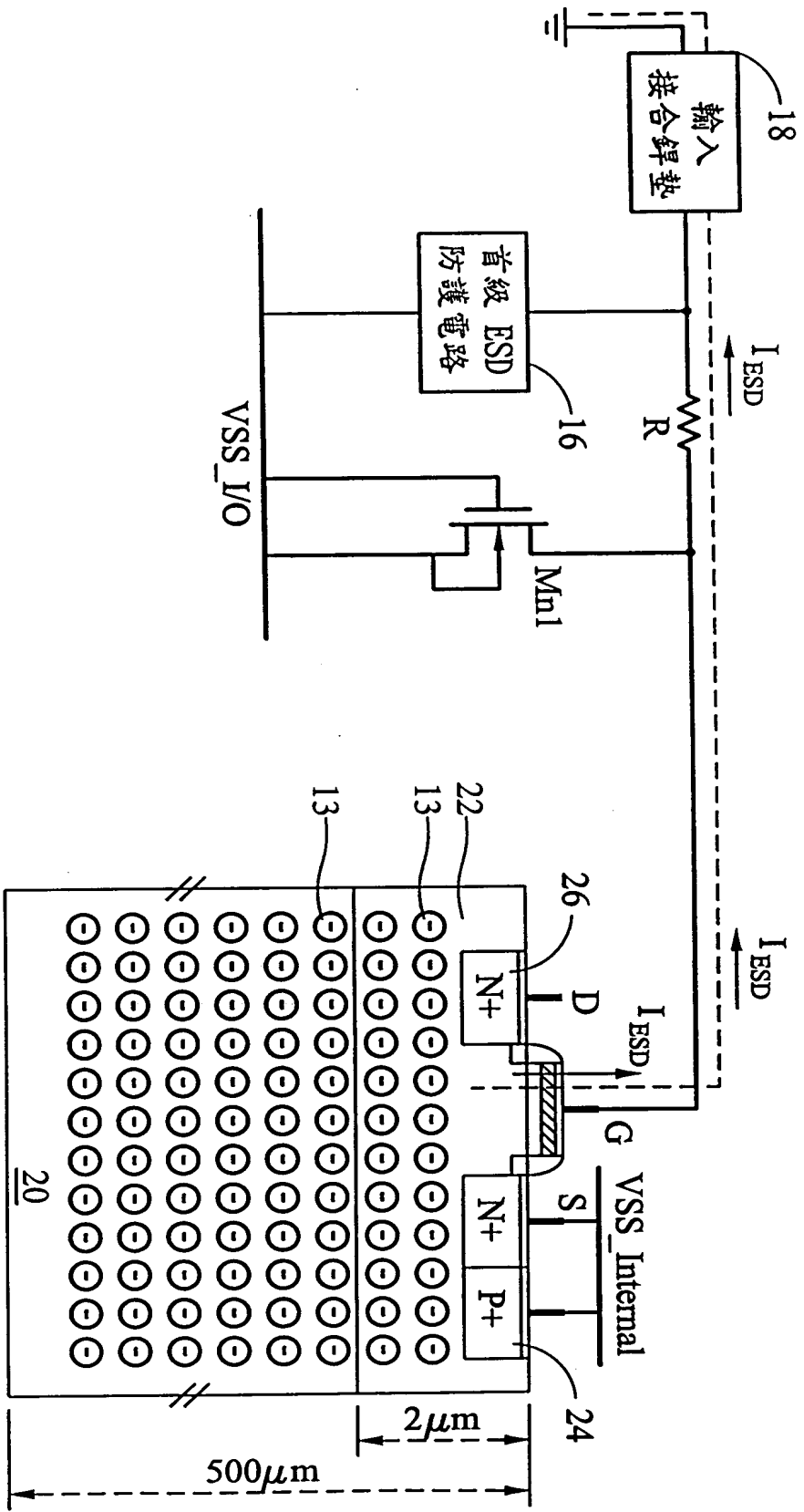




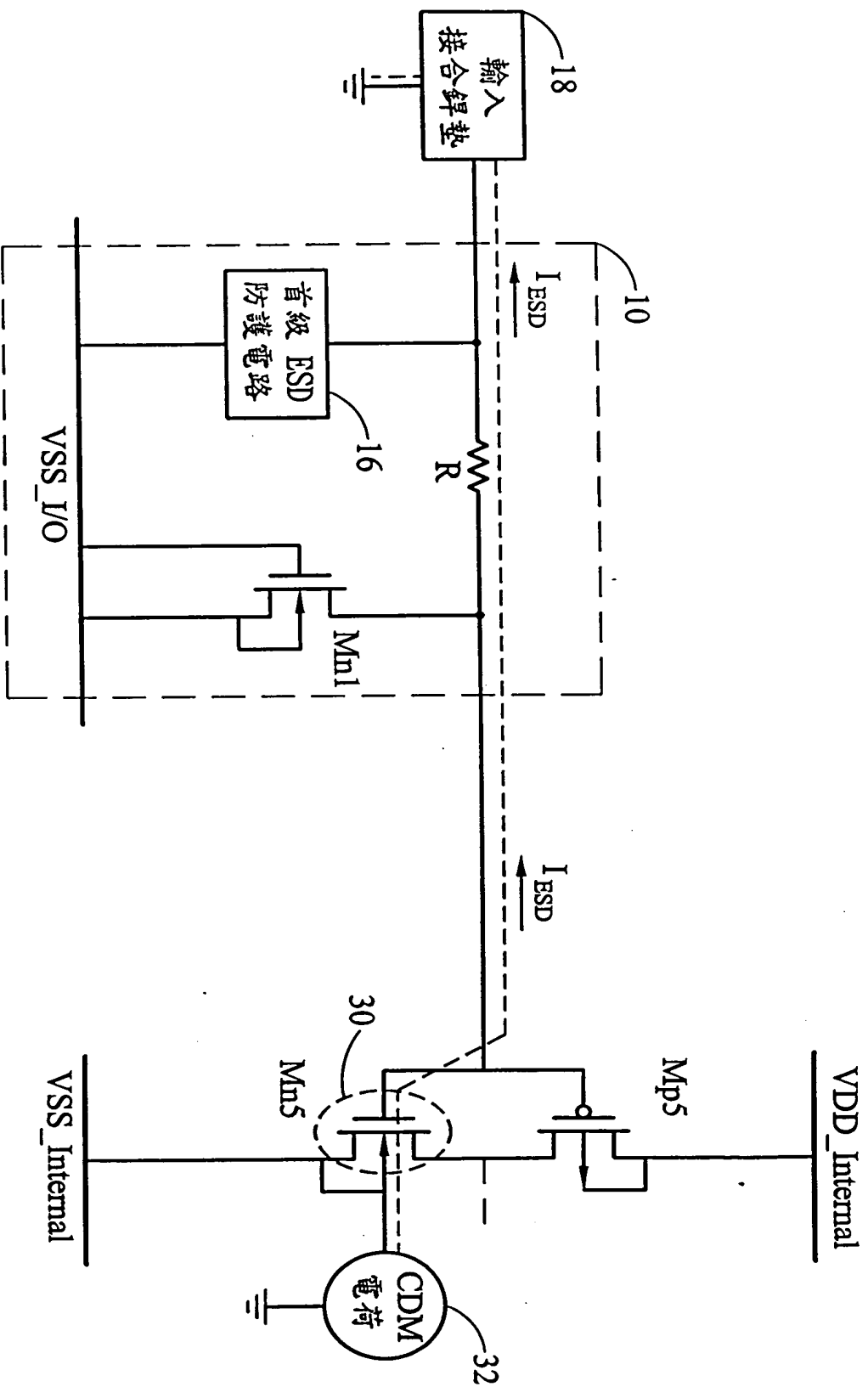
第 1 圖



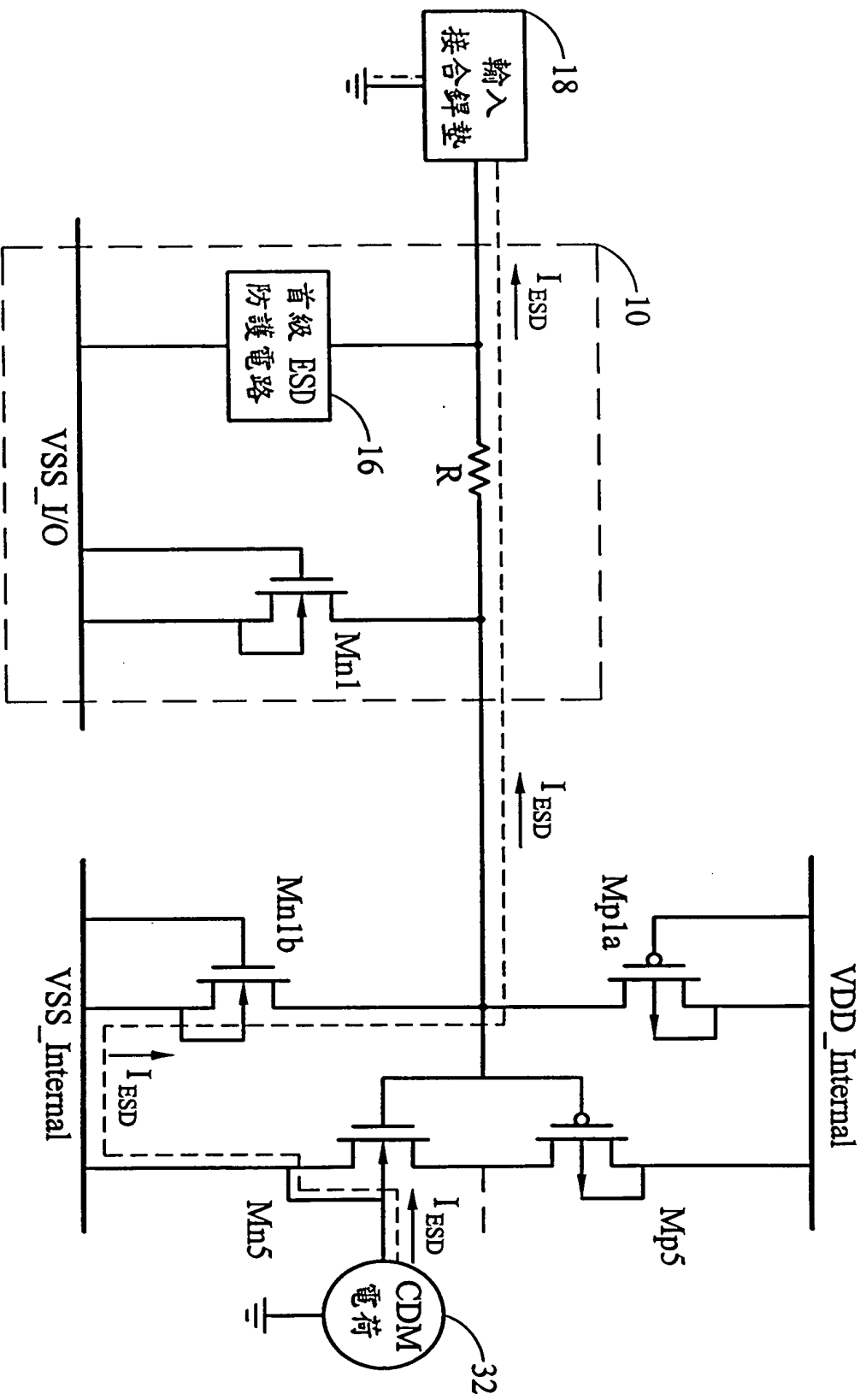
第 2 圖



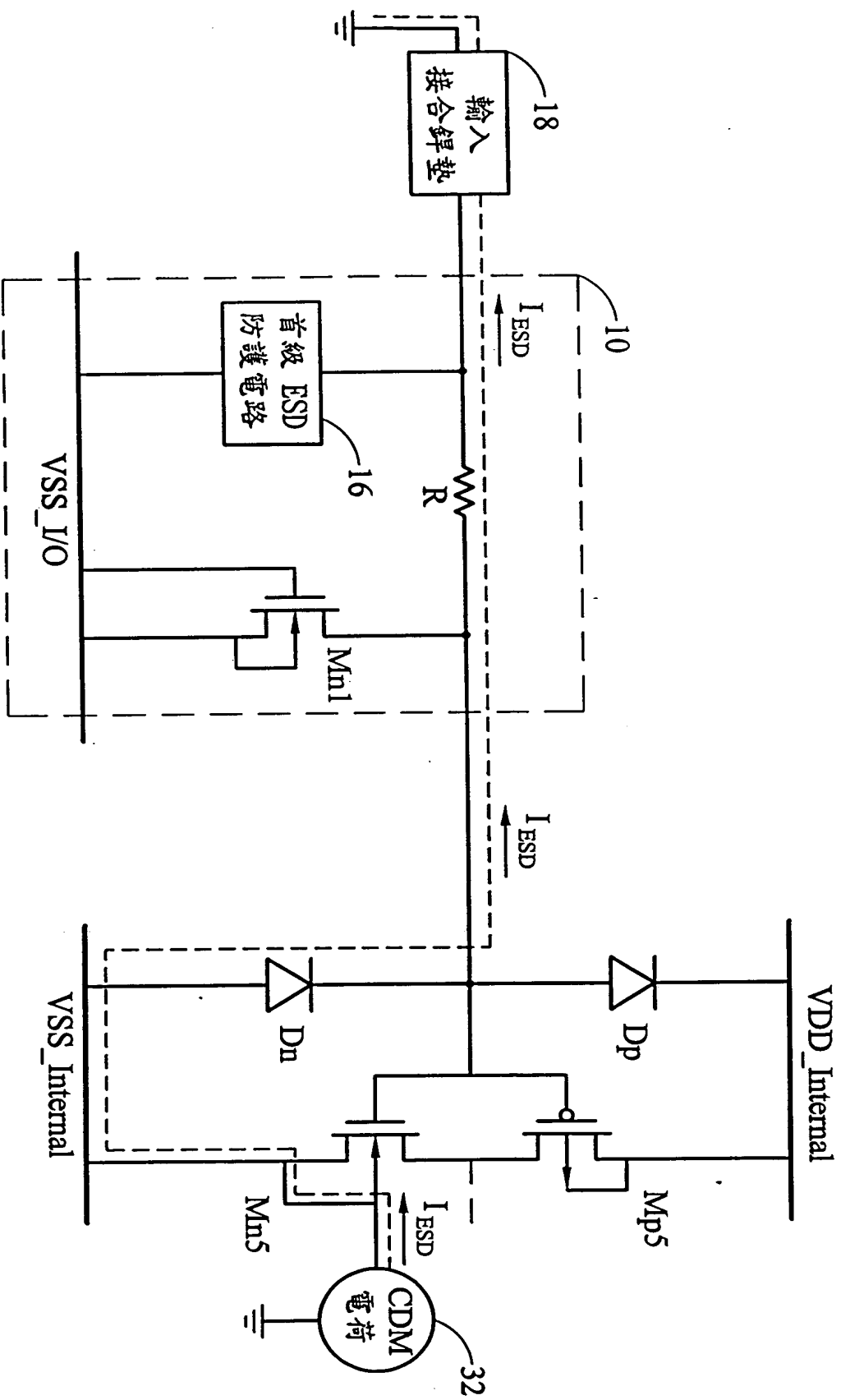
第 3 圖



第 4 圖

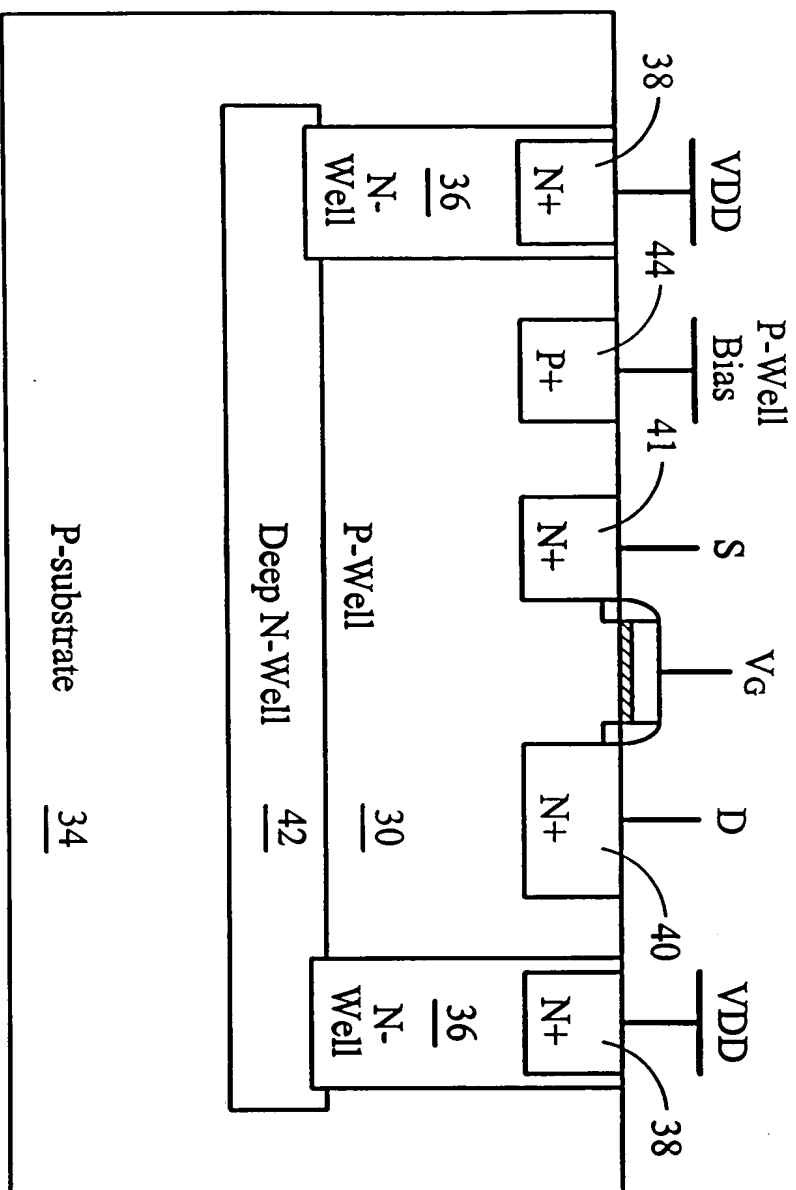


第 5 圖

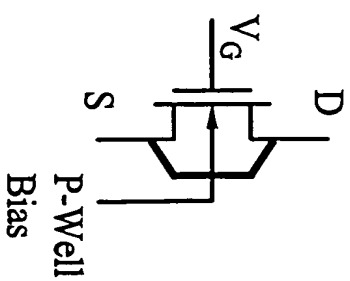


第 6 圖

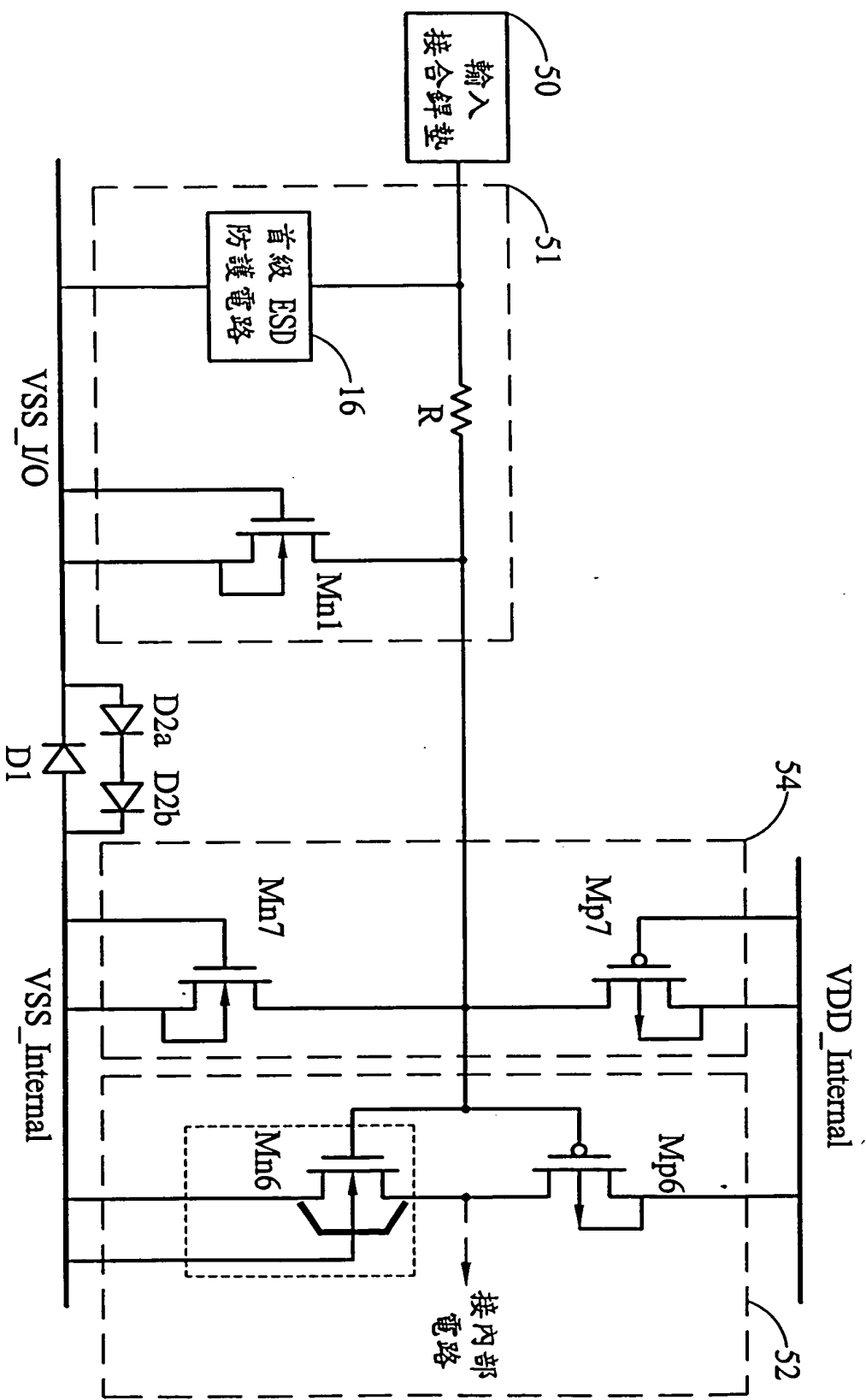




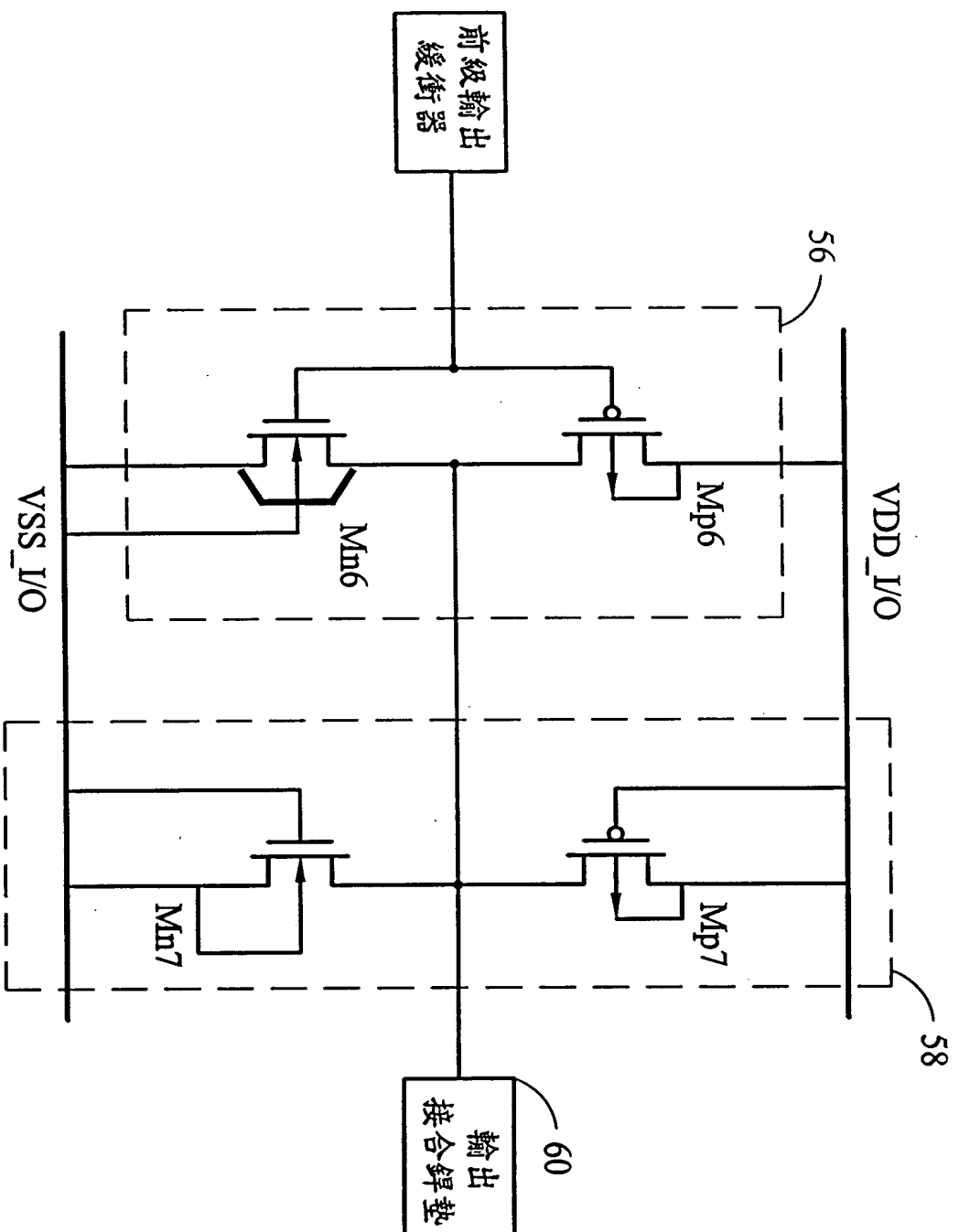
≡



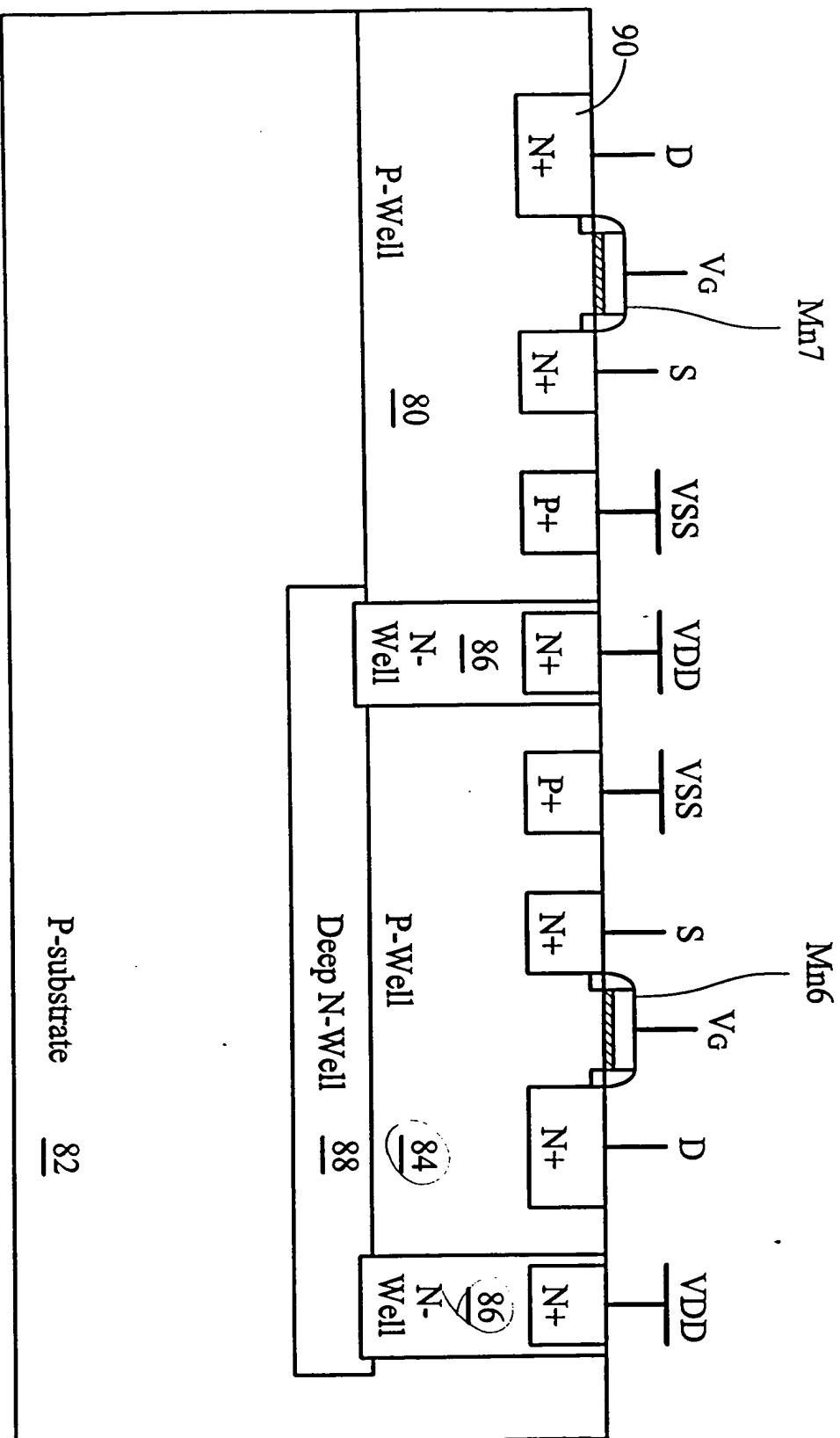
第 7 圖



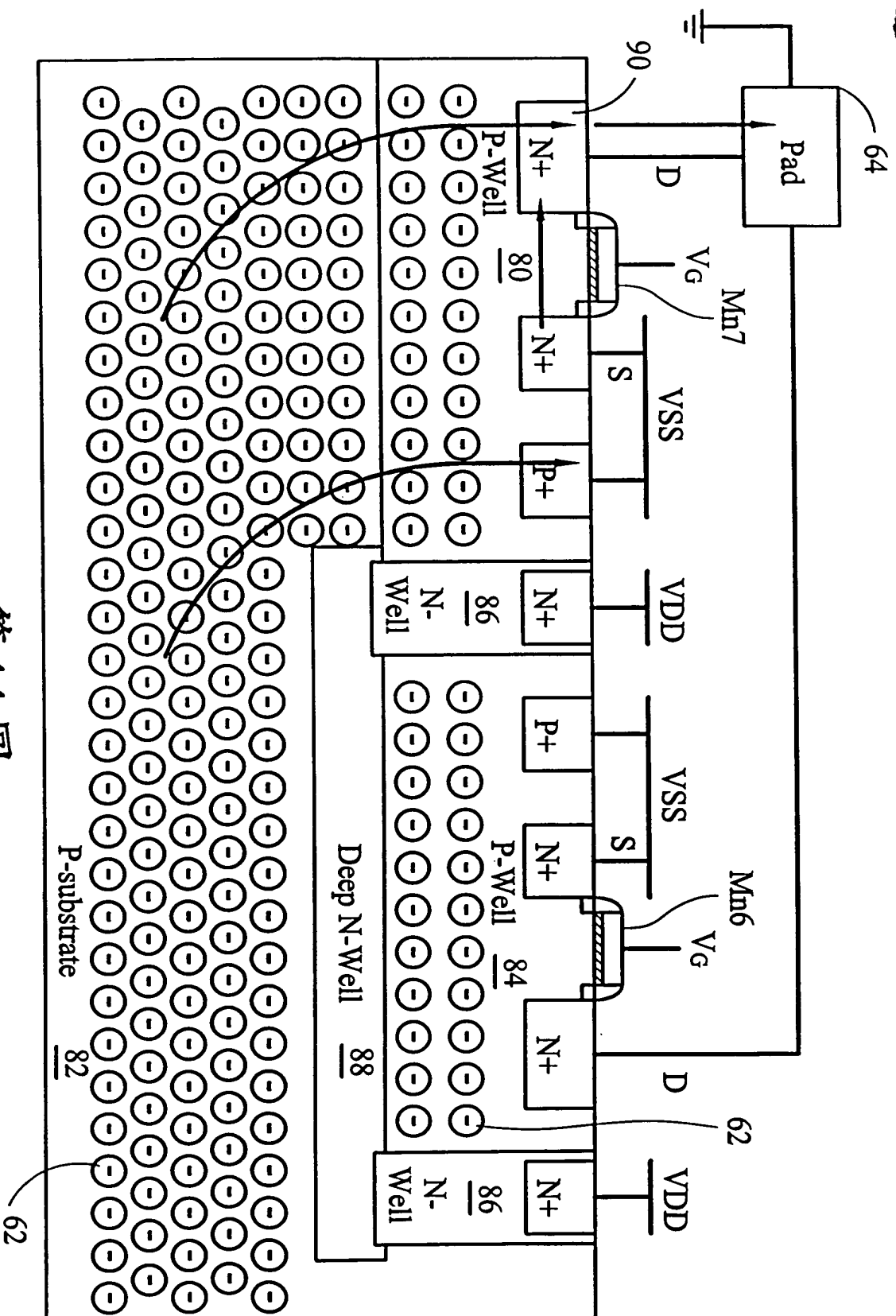
第 8 圖



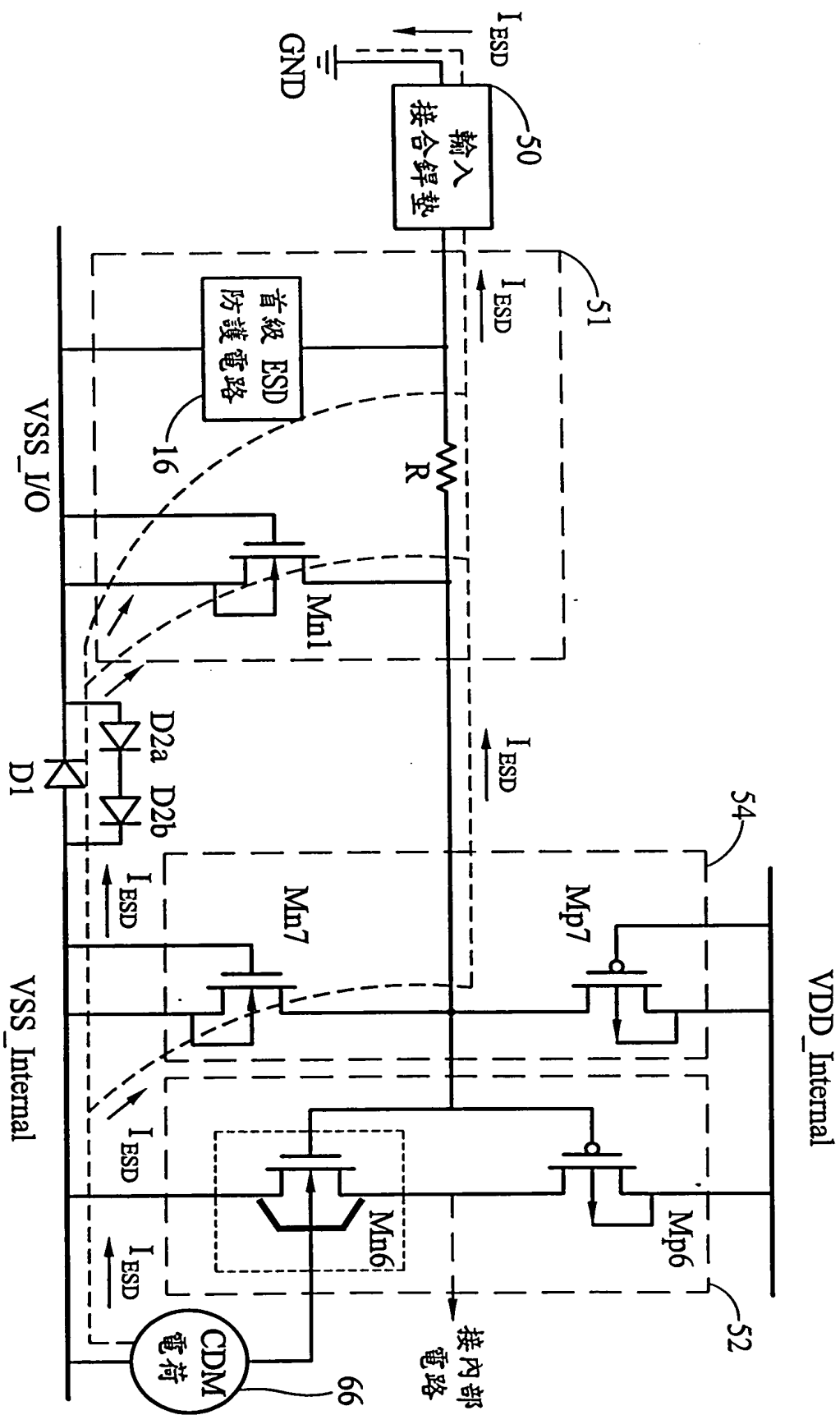
第 9 圖



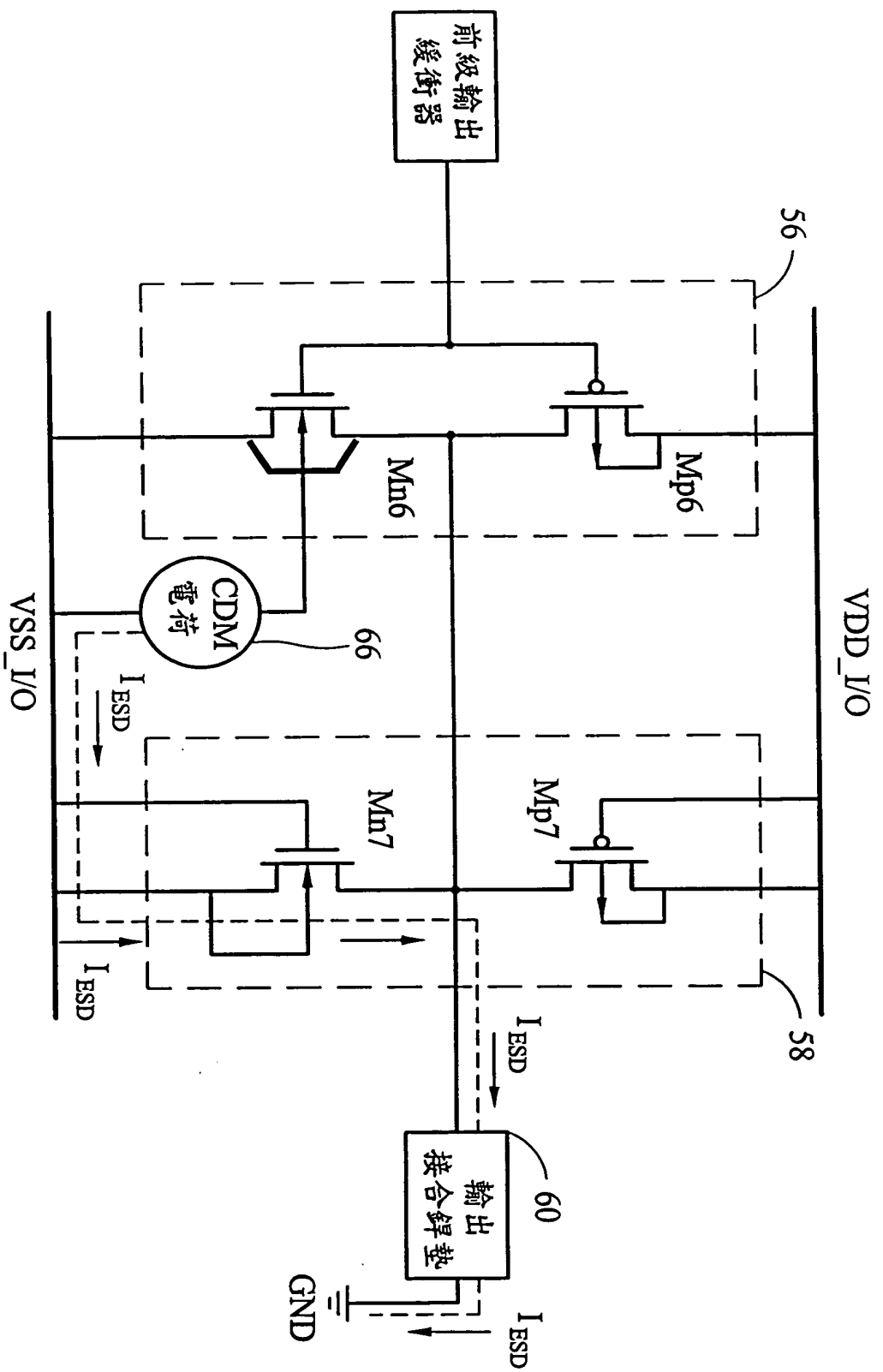
第10圖



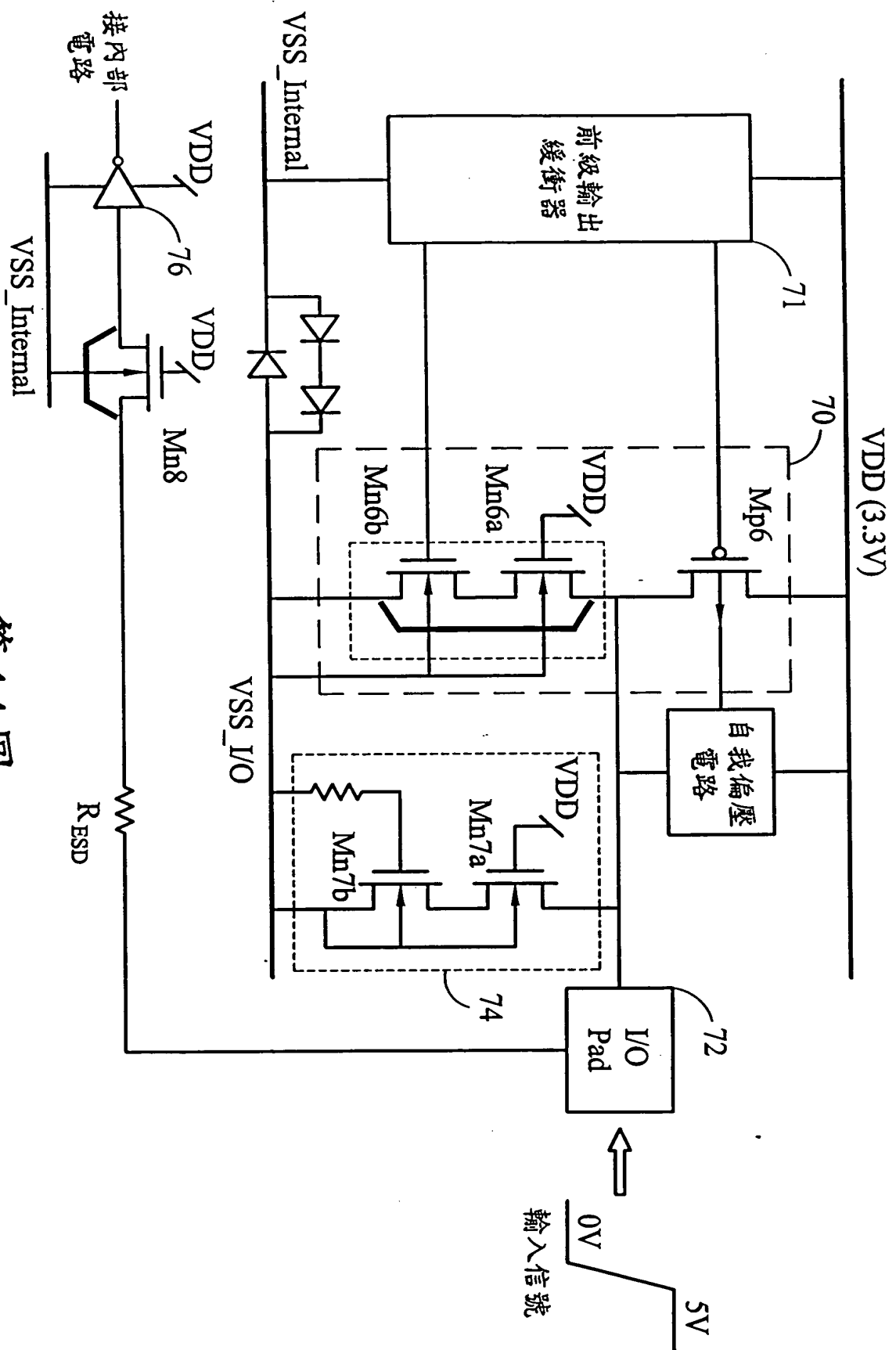
第11圖



第12圖

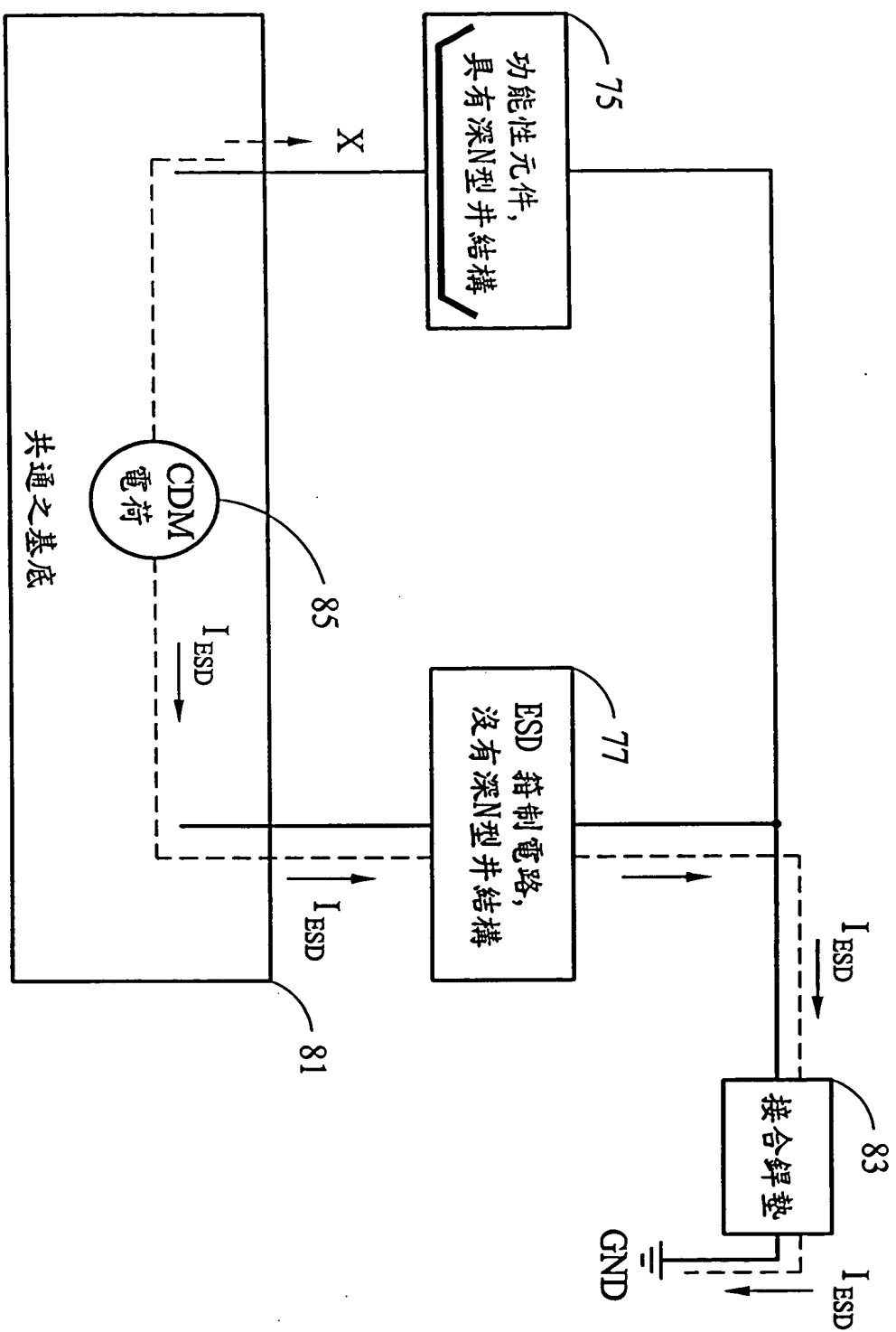


第13圖



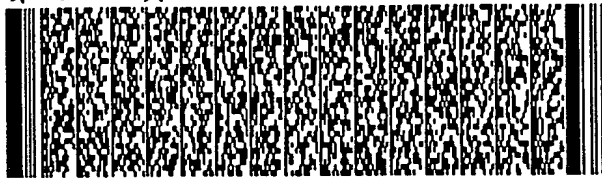
第14圖



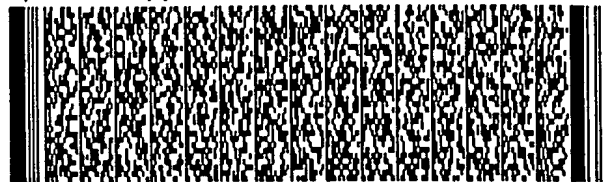


第15圖

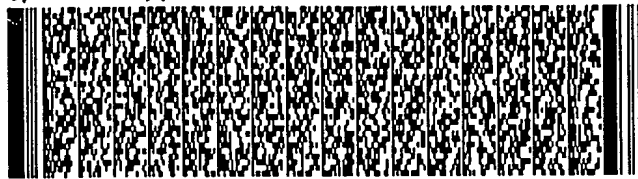
第 1/24 頁



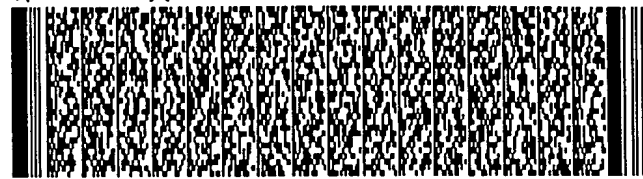
第 2/24 頁



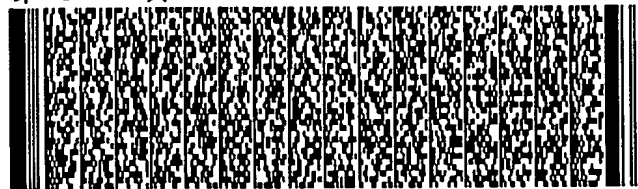
第 4/24 頁



第 4/24 頁



第 5/24 頁



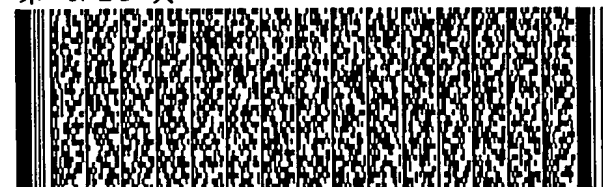
第 5/24 頁



第 6/24 頁



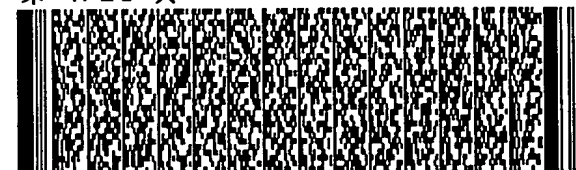
第 6/24 頁



第 7/24 頁



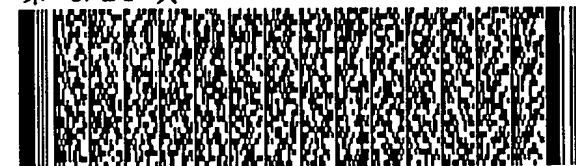
第 7/24 頁



第 8/24 頁



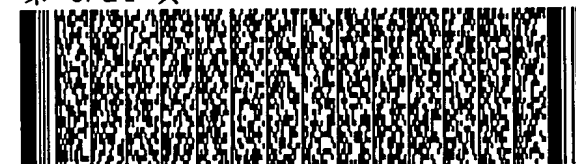
第 8/24 頁



第 9/24 頁



第 9/24 頁



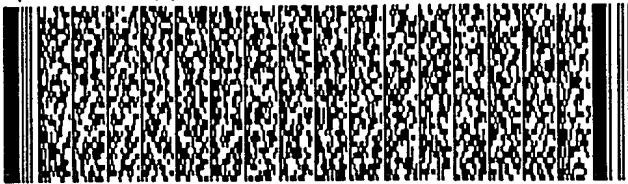
第 10/24 頁



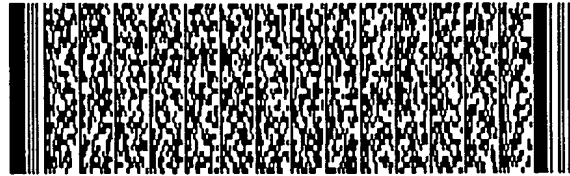
第 10/24 頁



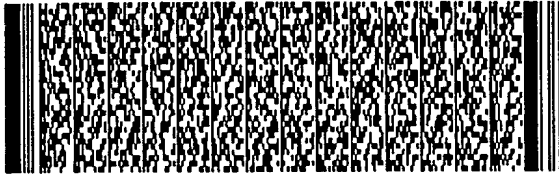
第 11/24 頁



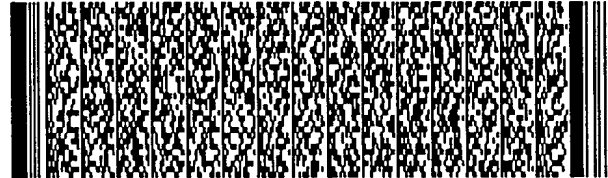
第 12/24 頁



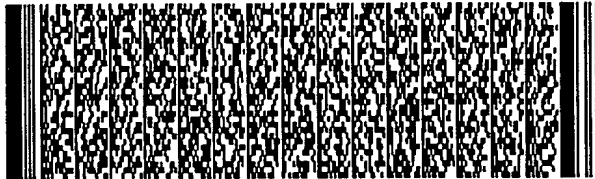
第 12/24 頁



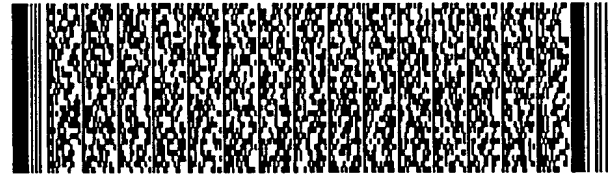
第 13/24 頁



第 13/24 頁



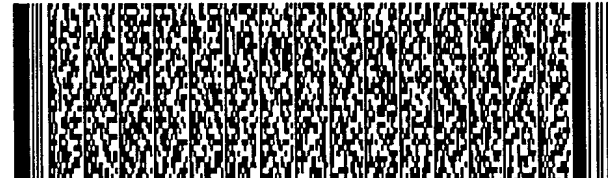
第 14/24 頁



第 14/24 頁



第 15/24 頁



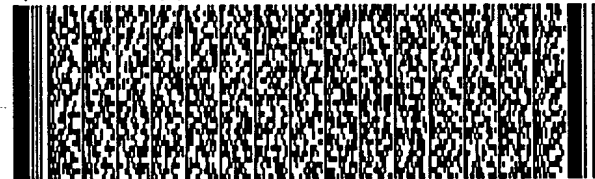
第 15/24 頁



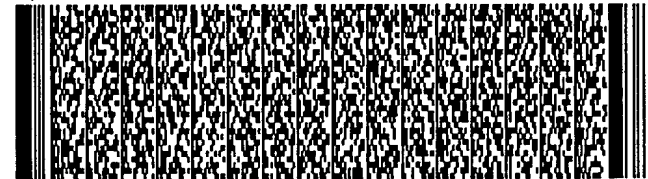
第 16/24 頁



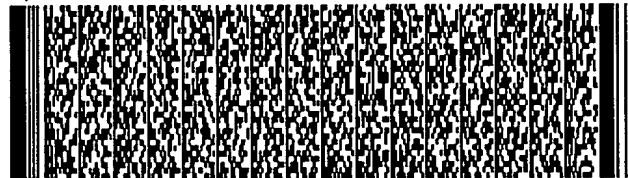
第 16/24 頁



第 17/24 頁



第 17/24 頁



第 18/24 頁



第 18/24 頁



第 19/24 頁



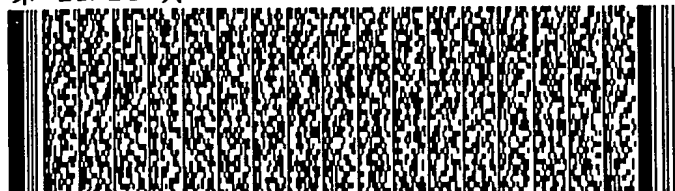
第 20/24 頁



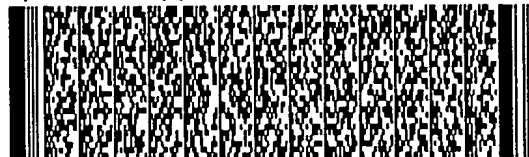
第 20/24 頁



第 21/24 頁



第 22/24 頁



第 22/24 頁



第 23/24 頁



第 23/24 頁



第 24/24 頁

